

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2001 EPO. All rts. reserv.

09/745.480

11745264

Basic Patent (No,Kind,Date): JP 6111019 A2 940422 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6111019	A2	940422	JP 92258694	A	920928 (BASIC)

Priority Data (No,Kind,Date):

JP 92258694 A 920928

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 6111019 A2 940422

IMAGE PROCESSOR (English)

Patent Assignee: CANON KK

Author (Inventor): TAKARAGI YOICHI; FUNADA MASAHIRO; HASEGAWA AKIKO

Priority (No,Kind,Date): JP 92258694 A 920928

Applic (No,Kind,Date): JP 92258694 A 920928

IPC: * G06F-015/70; G06F-015/00

JAPIO Reference No: ; 180394P000033

Language of Document: Japanese

THIS PAGE BLANK (USPTO)

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

04467119 **Image available**
IMAGE PROCESSOR

PUB. NO.: 06-111019 [J P 6111019 A]
PUBLISHED: April 22, 1994 (19940422)
INVENTOR(s): TAKARAGI YOICHI
 FUNADA MASAHIRO
 HASEGAWA AKIKO
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 04-258694 [JP 92258694]
FILED: September 28, 1992 (19920928)
INTL CLASS: [5] G06F-015/70; G06F-015/00
JAPIO CLASS: 45.4 (INFORMATION PROCESSING -- Computer Applications)
JAPIO KEYWORD: R002 (LASERS); R098 (ELECTRONIC MATERIALS -- Charge Transfer
 Elements, CCD & BBD); R131 (INFORMATION PROCESSING --
 Microcomputers & Microprocessors)
JOURNAL: Section: P, Section No. 1775, Vol. 18, No. 394, Pg. 33, July
 22, 1994 (19940722)

ABSTRACT

PURPOSE: To detect a pattern for showing a machine parts number, etc., by deciding what is expressed by combining plural dots, and eliminating a discrimination pattern detected by a deciding means from an image.

CONSTITUTION: By a dot deciding part 501, whether a picture element corresponds to an isolated dot shape or not is decided, and by a color deciding part 502, whether the picture element is yellow or not is decided. With respect to outputs of these deciding parts 501, 502, an AND operation and an inversion of an output signal are executed in a NAND 503, and by this deciding signal and each color signal of R, G and B, an OR operation is executed in OR circuits 504-506. In such a way, when this picture element is light yellow, and also, a dot part, it becomes pure white, and in other case, an image signal is not changed but outputted. In such a way, in an input image, discriminating information to which a prescribed dot is added can be detected surely.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-111019

(43) 公開日 平成6年(1994)4月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/70	4 5 5 B	8837-5L		
15/00		7459-5L		

審査請求 未請求 請求項の数 3 (全 20 頁)

(21) 出願番号 特願平4-258694

(22) 出願日 平成4年(1992)9月28日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 宝木 洋一

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 船田 正広

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 長谷川 明子

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

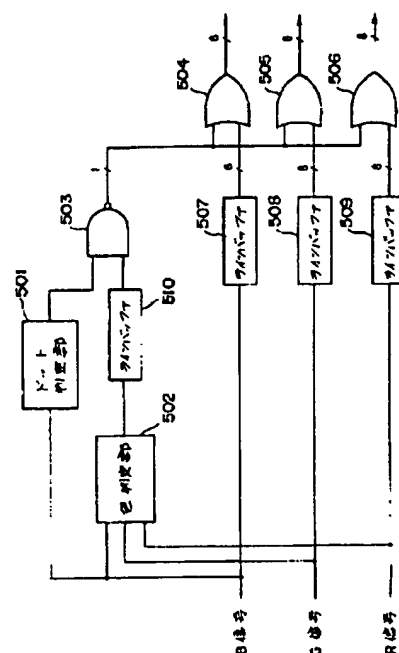
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 イエロードットで付加された入力画像中の識別符号を確実に検出することができる。

【構成】 付加パターン画像補正回路は、ドット判定部501により、入力されたカラー画像データに基づいて所定の色成分の領域を判定し、OR回路504～506により、判定領域のカラー画像データを変更する。



【特許請求の範囲】

【請求項1】入力画像データから、該入力画像データによって表される画像に合成された識別パターンであって、複数のドットの組み合わせによって表現されるものを判定する判定手段と、

前記判定手段によって検出された識別パターンを前記画像から除去する除去手段とを有することを特徴とする画像処理装置。

【請求項2】前記判定手段は所定の色成分のドット形状を検出する検出手段を有することを特徴とする請求項1記載の画像処理装置。

【請求項3】更に前記識別パターンの除去された画像に対して、所定の識別パターンを合成する合成手段を有することを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像処理装置に関し、例えば特定のパターンを検出する機能を有する画像処理装置に関するものである。

【0002】

【従来の技術】複写物の悪用を防止するため、コピー画像に識別符号（例えば機材番号）を付加することが提案されている。かかる方法では、複写物に元の原稿にはなかった画像を付加するため、複写物の画質が劣化するという欠点があった。

【0003】そこで、イエローパターンが人間の目には識別し難いということを利用して、イエローのドット符号を画像信号に付加することが提案されている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来例では、原稿に上記パターンが付加されている場合、又は、類似したパターンが存在している場合、複写物上で、原稿に既に付加されていたパターンと新たに付加されたパターンとが混在し、機材番号等の識別符号の判別がむずかしくなるという欠点があった。

【0005】本発明は、上述した従来例の欠点に鑑みてなされたものであり、その目的とするところは、機材番号等を示すパターンを検出することができる画像処理装置を提供する点にある。

【0006】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、本発明に係る画像処理装置は、入力画像データから、該入力画像データによって表される画像に合成された識別パターンであって、複数のドットの組み合わせによって表現されるものを判定する判定手段と、前記判定手段によって検出された識別パターンを前記画像から除去する除去手段とを有する。

【0007】

【作用】かかる構成によれば、判定手段は複数のドットの組み合わせによって表現されるものを判定し、除去手

段は判定手段によって検出された識別パターンを画像から除去する。

【0008】

【実施例】以下に、添付図面を参照して、本発明の好適な実施例を詳細に説明する。以下の実施例では、本発明の適用例として、複写機の例が示されるが、本発明はこれに限るものではなく、他の種々の装置に適用できることは勿論である。また本発明を適用できる各装置は、偽造防止として、紙幣、有価証券等の特定原稿を対称とする。

<第1の実施例>図2は本発明の第1の実施例に係る画像処理装置を適用した複写機の一例を示す側断面図である。図2において、201はイメージスキャナ部であり、原稿を読取り、デジタル信号処理を行う部分である。また202はプリンタ部であり、イメージスキャナ部201に読取られた原稿画像に対応した画像を用紙にフルカラーでプリント出力する部分である。

【0009】イメージスキャナ部201において、200は鏡面圧板であり、原稿台ガラス（以下「プラテン」という）203上の原稿204はランプ205で照射され、ミラー206、207、208に導かれ、レンズ209により3ラインセンサ（以下「CCD」という）210上に像を結び、フルカラー情報レッド（R）、グリーン（G）、ブルー（B）成分として信号処理部211に送られる。尚、205、206は速度 v であり、207、208は $1/2v$ でラインセンサの電気的走査方向に対して垂直方向に機械的に動くことによって原稿全面を走査する。信号処理部211では読取られた信号を電気的に処理し、マゼンタ（M）、シアン（C）、イエロー（Y）、ブラック（Bk）の各成分に分解し、プリンタ部202に送る。また、イメージスキャナ部201における一回の原稿走査（スキャナ）につき、M、C、Y、Bkのうちひとつの成分がプリンタ部202に送られ、計4回の原稿走査により一回のプリントアウトが完成する。

【0010】イメージスキャナ部201より送られてくるM、C、YまたはBkの画像信号は、レーザドライバ212に送られる。レーザドライバ212は画像信号に応じ、半導体レーザ213を交調駆動する。レーザ光はポリゴンミラー214、 $f-\theta$ レンズ215、ミラー216を介し、感光ドラム217上に走査する。218は回転現像器であり、マゼンタ現像部219、シアン現像部220、イエロー現像部221、ブラック現像部222より構成され、4つの現像器が交互に感光ドラム217に接し、感光ドラム217上に形成された静電潜像をトナーで現像する。223は転写ドラムで、用紙カセット224又は225より給紙されてきた用紙をこの転写ドラム223に巻きつけ、感光ドラム217上に現像された像を用紙に転写する。

【0011】この様にして、M、C、Y、Bkの4色の順

次転写された後に、用紙は定着ユニット226を通して排紙される。図3はCCD(R)301、CCD(G)302、CCD(B)303の光の波長に応じた相対感度を示した図である。図4は図1に示したイメージスキャナ部201の構成を説明するブロック図である。同図において、316はカウンタであり、上記3ラインセンサ210を構成するラインセンサ301~303に対する主走査位置を指定する主走査アドレス102を出力する。すなわち、水平同期信号Hsyncが「1」のときに、図示されないCPUより所定値にセットされ、画素にクロック信号CLKによってインクリメントされる。

【0012】3ラインセンサ210上に結像された画像は、3つのラインセンサ301~303において光電変換され、それぞれR成分、G成分、B成分の読取り信号として、増幅器304~306、サンプルホールド回路307~309及びA/D変換器310~312を通じて各色8ビットのデジタル画像信号313(Rに対応する)、デジタル画像信号314(Gに対応する)、デジタル画像信号315(Bに対応する)として出力される。

【0013】図1は図2に示した信号処理部(画像処理ユニット)211の構成を示すブロック図である。同図において、204は原稿、101は付加パターン画像補正回路、102はパターン付加回路、103は垂直同期信号(VSYNC)、水平同期信号(HSYNC)、クロック(CLK)の各信号を生成して出力する制御部、402は色信号処理部、104は本装置全体を制御するCPU、104aはCPU104が動作するためのプログラムを格納したROMそして104bはROM中の各ブロックのワークエリアとして用いるRAMを示している。

【0014】次に、以上の信号処理部211の動作について説明する。イメージスキャナ部201によって読取られたカラー画像信号(R、G、B)が付加パターン画像補正回路101に入力される。付加パターン補正回路101において、薄いイエローの文字を判定し、画像信号より除去する。色信号処理部402において、入力カラー(R、G、B)信号より、プリントカラー信号(Y、M、C、K)を生成する。

【0015】パターン付加回路102において、イエロープリント時、機材番号を画像信号に付加する。制御部103は、同期信号を発生する回路部である。Vsync信号は副走査区間信号であり、副走査の画像出力区間を示す信号である。Hsync信号は、主走査同期信号であり、主走査開始の同期をとる信号である。CLKは画像処理の基本クロックである。

【0016】CPU104はマイクロプロセッサであり、図20に示す面順次信号CNOを出力する。本実施例で用いているレーザカラープリンタはM(マゼン

タ)、C(シアン)、Y(イエロー)、Bk(ブラック)の順にプリントされる。面順次信号CNOとは、現在プリントしているプリント色を示す信号である。図5は付加パターン画像補正回路101の回路ブロック図である。同図において、501はドット判定部、502は色判定部、503はNAND回路、504~506はOR回路、507~510はライン遅延用のラインバッファをそれぞれ示している。

【0017】次に、付加パターン画像補正回路101の動作について説明する。ドット判定部501により、当該画素が図11で示す様な孤立したドット形状に該当するか否かを判定する。色判定部502より、当該画素が薄いイエローであるか否かを判定する。上記ドット判定部501及び色判定部502の出力をNAND503で論理積演算と出力信号の反転を行い、この判定信号とOR回路504、505、506でR、G、Bの各色信号とで論理和演算が行われる。これにより当該画素が、薄いイエローであり、かつドット部であるときには、真白(R=255、G=255、B=255)となり、そうでない場合は、画像信号が変更されずに出力される。

【0018】図6は色判定部502の構成を示すブロック図である。同図において、601はLab変換回路、602、604はそれぞれ異なる域値C0、C1をLと比較する比較器、603はルックアップテーブル(以下「LUT」という)、605はAND回路を示している。次に、色判定部502の動作について説明する。

【0019】Lab変換回路601は、入力R、G、B信号を輝度信号L及び色成分信号a、bに変換する3×3の積和演算器である。比較演算器602、604は、輝度信号Lが予め定められた値の範囲(C0<L<C1)にあるか否かを判定する。LUT603はROMメモリであり、色成分信号a、bが特定の値の範囲、すなわちイエロー成分である場合、“1”を出力し、それ以外の場合“0”を出力する。

【0020】図7はドット判定部501の構成を示すブロック図であり、図8はドット判定部501の動作を説明するマトリックスを示す図である。図7において、701はドット判定部、702、703は画素、ライン遅延を行うラインバッファ、704は分周回路であり、水平同期信号704を4分周してHS4信号を作り出す。

【0021】判定部501は、イエローのドットを検出するため、イエロー画像に感度のよいB信号を用いて、ドット部の抽出を行う。分周回路704と、図9に示す分周回路911で生成されるHS4信号106、CLK4信号912でドット判定部501の回路を制御することにより、図8に示す画素Iと周囲画素との間隔は上下左右共、4画素間隔となる。

【0022】図21は、HsyncとHS4及びCLKとCLK4との相互関係を示した図であり、図11は本実施例の付加パターンの一例を説明する図である。図1

1において、領域1301に含まれる4×4画素は、その画像信号の例えば階調が $+\alpha$ となるように変調され、領域1302と1303に含まれるそれぞれ2×4画素は、その画像信号の例えば階調が $-\alpha$ となるように変調され、領域1301～1303の外の画素は変調しない。この領域1301～1303に含まれる8×4画素を付加パターンの単位ドットとする。

【0023】図12と図13は本実施例のアドオンラインの一例を示す図である。図12において、1401はアドオンラインで、例えば4画素の幅である。1401a～1401eはそれぞれ図11に示した単位ドットで、例えば8×4画素である。単位ドット1401a～1401eは、主走査方向にd1（例えば128画素）の略一定周期で並んでいる。

【0024】さらに、図13において、1501～1510はアドオンラインで、例えば4画素の幅であり、副走査方向にd2（例えば16画素）の略一定周期で並んでいる。詳細は後述するが、例えば、1本のアドオンラインは4ビットの情報を表し、アドオンライン1502～1509の8本のアドオンラインは一組となつて、32ビットの付加情報を表すことができる。なお、アドオンラインは副走査方向に繰返し形成され、例えば、図13に示すアドオンライン1501～1509とは同一の情報を表す。

【0025】図14と図15はアドオンラインによる情報の表現方法の一例を示している。図14において、1601と1602はアドオンラインで、両アドオンラインは副走査方向に隣合っている。また、1601a、1601bおよび1602aは単位ドットで、隣合ったアドオンラインの単位ドット同志が接近して目立つのを防ぐため、隣合ったアドオンライン単位ドット同志は、主走査方向へ少なくともd3（例えば32画素）の間隔が開くように設定する。

【0026】単位ドットによって表されるデータは、単位ドット1602aと、単位ドット1601aとの位相差によって決定される。図14は4ビット情報を表す一例を示しているが、図14においては、単位ドット1602aはデータ“2”を表している。例えば、単位ドット1602aが最左端にあればデータ“0”を、単位ドット1602aが最右端にあればデータ“F”を表すことになる。

【0027】図15において、全付加情報を表す一組のアドオンラインのうち、同図(a)は1番目のアドオンラインLine0を、同図(b)は4番目のアドオンラインLine3を表す。図15に示すように、Line0には、本来の単位ドット1701a～1701dのすべての右側に、d4（例えば16画素）の間隔でドット1702a～1702dが追加され、Line3には、本来の単位ドット1704a～1704dのすべての右側に、d5（例えば32画素）の間隔でドット1705

a～1705dが追加されている。この追加ドットは、各アドオンラインが、何番目のアドオンラインかを明確にするためのマーカである。なお、2本のアドオンラインにマーカを追加するのは、出力画像からでも、副走査方向の上下を確定することができるようにするためである。

【0028】また、例えば、付加するパターンは、人間の目がYのトナーで描かれたパターンに対しては識別能力が低いことを利用して、Yのトナーのみで付加される。また、付加パターンの主走査方向のドット間隔と、副走査方向の全付加情報の繰返間隔とは、対象とする特定原稿において、ドットが確実に識別できるような薄くて均一な領域へ、確実に全情報が付加されるように定める必要がある。目安としては、対象とする特定原稿において、ドットが確実に識別できるような薄くて均一な領域の幅の2分の1以下のピッチで情報を付加すればよい。

【0029】[パターン付加回路] 次に、本実施例のパターン付加回路の一例について説明する。図16、図17、図18はパターン付加回路102の構成例を示すブロック図である。同図において、副走査カウンタ1819では主走査同期信号HSYNCを、主走査カウンタ1814では画素同期信号CLKを、それぞれ7ビット幅すなわち128周期で繰返しカウントする。副走査カウンタ1819の出力Q2とQ3に接続されたANDゲート1820は、副走査カウンタ1819のビット2とビット3が、ともにHのときHを出力する。すなわち、ANDゲート1820の出力は、副走査方向16ライン毎に4ラインの期間、Hとなり、これをアドオンラインのイネーブル信号とする。

【0030】また、ANDゲート1820の出力と、副走査カウンタ1819の上位3ビット(Q4～Q6)とを入力する、ゲート1822によって、アドオンラインのライン0のイネーブル信号LINE0が、ゲート1821によって、アドオンラインのライン3のイネーブル信号LINE3が生成される。一方、主走査カウンタ1814へは、詳細は後述するが、HSYNCによって初期値がロードされ、ゲート1815～1817は、主走査カウンタ1814の上位4ビット(Q3～Q6)を入力する。ANDゲート1815の出力は、128画素毎に8画素の区間、Hとなり、これをドットのイネーブル信号とする。また、ゲート1816と1817は、主走査カウンタ1814の上位4ビットの他に、それぞれ信号LINE0とLINE3を入力して、それぞれライン0とライン3のマークのイネーブル信号を生成する。これら、ドットおよびマークのイネーブル信号はORゲート1818に7よりまとめられ、さらに、ORゲート1818の出力と、ANDゲート1820の出力とが、ANDゲート1824で論理積され、アドオンライン上でだけHとなるドットおよびマークのイネーブル信号となる。

7

【0031】ANDゲート1824の出力は、F/F1828において、画素同期信号CLKに同期させられ、ANDゲート1830において、2ビットの出力カラー選択信号CNOと論理積される。出力カラー選択信号CNOのビット0は、インバータ1829で否定されてANDゲート1830に入力され、出力カラー選択信号CNOのビット1は、そのままANDゲート1830に入力されるので信号CNO="10"、つまりYの色画像が印刷時に、ドットおよびマークのイネーブル信号が有効になる。

【0032】さらに、ANDゲート1824の出力は、カウンタ1825のクリア端子CLRにも接続されていて、カウンタ1825はANDゲート1824がHの時、すなわちアドオンラインのドットがイネーブル時のみ、画素同期信号CLKのカウントを行い、カウンタ1825の出力のビット1とビット2は、Ex-NORゲート1826へ入力され、アドオンラインのドット期間(8CLK)の中間の4CLKの期間、Ex-NORゲート1826の出力はLとなる。Ex-NORゲート1826の出力は、F/F1827によって画素同期信号CLKに同期され、信号MINUSとなって出力される。信号MINUSがLのとき、アドオンラインのドットは+ α に変調される。

【0033】なお、F/F1827は、信号MINUSのヒゲを除き、また、アドオンラインのドットのイネーブル信号と位相を合わせるためのものである。信号MINUSは、セクタ1838の選択端子Sへ入力される。AND部1832は、レジスタ1831から例えば8ビットの変調量 α と、ANDゲート1830の出力とが入力される。アドオンラインのドットのタイミングのとき、ANDゲート1830の出力がHとなるので、AND部1832からは、アドオンラインのドットのタイミングのとき変調量 α が出力される。従つて、アドオンラインのドット以外の画素は、AND回路1832が出力する変調量が0となるため変調されることはない。

【0034】1833は加算部、1835は減算部で、ともに、端子Aへ例えば8ビットの画像信号Vが入力される。端子BへAND部1832が出力した変調量 α が、加算部1833の出力は、OR回路1834へ入力され、減算部1835の出力は、AND回路1837へ入力される。なお、OR回路1834は、加算回路1833の加算結果V+ α がオーバーフローしてキャリー信号CYが出力された場合に、演算結果を強制的に例えば255にする。また、AND回路1837は、減算回路1835の減算結果V- α がアンダフローしてキャリー信号CYが出力された場合に、インバータ1836で反転されたキャリー信号CYによって、演算結果を強制的に例えば0にするものである。

【0035】両演算結果V+ α 、V- α は、セクタ1838に入力され、信号MINUSに応じて、セクタ

8

1838から出力される。以上の回路構成で、図11に示した、ドットの変調が施される。また、主走査カウンタ1814へロードする値は以下のように生成する。まず、副走査同期信号VSYNCによって、F/F1813およびカウンタ1809がリセットされるので、最初のアドオンラインでは、主走査カウンタ1814の初期値に0が設定される。

【0036】ここで、カウンタ1809とF/F1813のクロック端子へ入力される信号ADLINは、アドオンラインのイネーブル信号であるANDゲート1820の出力を、F/F1823で主走査同期信号Hsyncに同期させた信号である。セクタ1810は、セレクト端子Sに入力される例えば3ビット信号に応じて、8本のアドオンラインのそれぞれの例えば4ビット値が設定されているレジスタ1801~1808のうち1つを選択して、選択したレジスタに設定された値を出力する。

【0037】セクタ1810のセレクト信号は、信号ADLINをカウントするカウンタ1809によって生成される。最初のアドオンラインのタイミングでは、カウンタ1809は、副走査同期信号VSYNCでクリアされているので、セレクト信号は0である。従つて、セクタ1810は、レジスタ1801を選択する。そして、信号ADLINが立上ると、カウンタ1809のカウント値が1進み、セクタ1810は、レジスタ1820を選択する。以降、セクタ1810は、信号ADLINに同期して、順次、レジスタ1803から1808の選択を繰返す。

【0038】セクタ1810の出力は、加算器1811で、加算器1812の出力と加算され、F/F1813へ入力され、信号ADLINの立下りでラッチされ、主走査カウンタ1814へ入力される。なお、F/F1813の出力は、主走査カウンタ1814へ送られるとともに、加算器1812の端子Bへも入力され、加算器1812の端子Aへ入力された一定値の例えば8と加算されて、加算器1811へ送られる。これは、アドオンラインのドット位置と、副走査方向に1本前のアドオンラインのドット位置との間隔を開けるためのオフセット値である。

【0039】〔複写結果〕図19は本実施例による複写結果の一例を示す図であるが、アドオンラインの単位ドットの配置例だけを示している。図19において、1901は例えば特定原稿画像である。また、アドオンラインの単位ドットは黒塗りの四角印で表している。

【0040】以上説明したように、第1の実施例によれば、原稿のカラー入力画像信号より、イエロードットを検出し、画像データを変更することにより、出力画像において、イエロー成分のドットで付加しようとする識別情報を確実に付加することができる。

<第2の実施例>さて、前記第1の実施例においては、

原稿中の薄いイエロードットを検出し、白データに変更するものであった。前記第1の実施例における手法では、コピー画像中のイエロードット符号判読を確実にすることが可能になるが、入力原稿によっては、コピー画像に、点状の白抜け部分が発生する場合がある。

【0041】そこで、第2の実施例では、原稿中のイエロードット部の画像データを平滑化し、プリントするもので、コピー画像の画質劣化を少なくしながら、コピー画像中の付加符号の検出を確実に行うことができる。次に、以上の効果を得るための構成について説明する。図22本発明の第2の実施例による付加パターン画像補正回路の構成を示すブロック図である。

【0042】図22において、平滑化回路2201~2203は、図23に示す回路で構成されており、画像データの平滑化を実行する。セレクト2208~2210は、判定信号2210により、制御されるセレクトで、判定信号2210が0のとき、平滑化された画像データを出力し、判定信号2210が、1のとき、遅延回路2204~2206のデータが出力される。2207は判定信号遅延回路である。

【0043】以上の遅延回路2204~2206及び、判定信号遅延回路2207により、平滑化、画像データと信号の位相を、合わせるための遅延回路が構成される。図23において、平滑化回路2201~2203の代表的な構成は、Dタイプのフリップフロップ2301~2304と演算回路2305から構成される。

＜第3の実施例＞図24は、本発明の第3の実施例を説明するブロック図である。本実施例においては、第2の実施例の如くパターン付加回路102によりイエローパターンを付加するのみでなく、更に、入力された原稿画像が特定の原稿（例えば紙幣等）であるか否かを判定する判定回路3501を備え、特定の原稿であると判定された場合には、その判定信号をプリンタ部202に送り、CNO信号が3の時（ブラックの像形成時）にベタ信号を画像信号に合成するようにしたものである。ここで、判定回路3501は例えば、特定原稿の色味の分布を予め調べておき、この色味の分布と入力画像の色味の分布とを比較することにより判定を行う。他の構成は第2の実施例と同様である。本実施例によれば、上述の様にイエローパターンを付加する際に、原稿の持つパターンと新たに付加されるパターンとが混在することによるパターンの見にくさを防止できるとともに、付加パターン画像補正回路101により平滑化された画像信号をもとに判定回路3501による判定を行うので、判定制度が上がる。尚、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【0044】なお上述した各実施例では、レーザービー

ムプリンタを例に説明したが、本発明はこれに限定されるものではなく、インクジェットプリンタ、熱転写プリンタにも適用可能である。特に、熱エネルギーによる膜沸騰を利用して液滴を吐出させるタイプのヘッドを用いるいわゆるバブルジェット方式のプリンタでもよい。また、上述した各実施例では、付加する色をイエローとしたが、本発明はこれに限定されるものではなく、例えば黄緑や灰色などの目立たない色あるいはうす紫、淡緑など明度の高い色であってもよい。

【0045】また、上述した各実施例では、イメージスキャナ部によって原稿画像を入力したが、本発明はこれに限定されるものではなく、スチルビデオカメラ、ビデオカメラで入力するもの、更にコンピュータグラフィックスによって作成されたものであってもよい。

【0046】

【発明の効果】以上説明したように、本発明によれば、入力画像において、所定のドットで付加された識別情報を実際に検出することができる。

【図面の簡単な説明】

【図1】図2に示した信号処理部（画像処理ユニット）211の構成を示すブロック図である。

【図2】本発明の第1の実施例に係る画像処理装置を適用した複写装置の一例を示す側断面図である。

【図3】CCD(R)301、CCD(G)302、CCD(B)303の光の波長に応じた相対感度を示した図である。

【図4】図1に示したイメージスキャナ部201の構成を説明するブロック図である。

【図5】付加パターン画像補正回路101の回路ブロック図である。

【図6】色判定部502の構成を示すブロック図である。

【図7】線画判定部501の構成を示すブロック図である。

【図8】線画判定部501の動作を説明する図である。

【図9】ドット検出回路701の構成を示すブロック図である。

【図10】ドット検出回路701の構成を示すブロック図である。

【図11】第1の実施例の付加パターンの一例を説明する図である。

【図12】第1の実施例のアドオンラインの一例を示す図である。

【図13】第1の実施例のアドオンラインの一例を示す図である。

【図14】第1の実施例のアドオンラインによる情報の表現方法の一例を示す図である。

【図15】第1の実施例のアドオンラインによる情報の表現方法の一例を示す図である。

【図16】第1の実施例によるパターン付加回路の構成

例を示すブロック図である。

【図17】第1の実施例によるパターン付加回路の構成例を示すブロック図である。

【図18】第1の実施例によるパターン付加回路の構成例を示すブロック図である。

【図19】本実施例による複写結果の一例を示す図である。

【図20】面順次信号CNOを説明する図である。

【図21】分周回路911、704に関するタイミングチャートである。

【図22】第2の実施例による付加パターン画像補正回路101の構成を示すブロック図である。

【図23】平滑化回路2201~2203の代表的な構成を示すブロック図である。

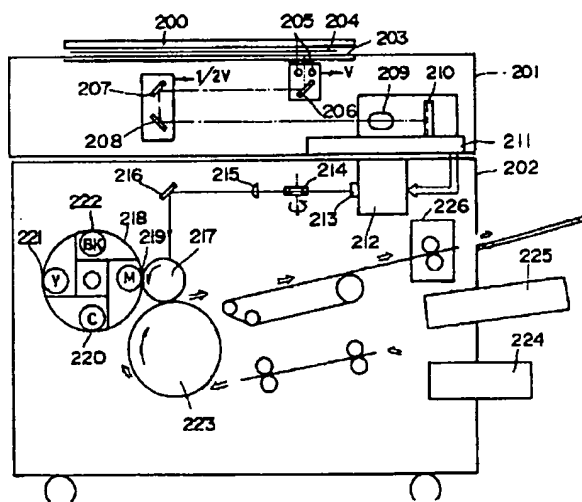
【図24】本発明の第3の実施例を説明するブロック図である。

【符号の説明】

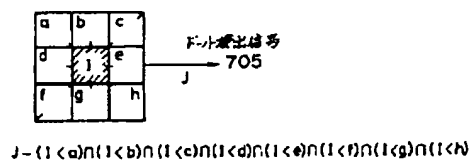
101 付加パターン画像補正回路
102 パターン付加回路
103 制御部
104 CPU
104a ROM
104b RAM
201 イメージスキャナ
202 プリンタ
200 鏡面圧板
203 プラテン

204 原稿
205 ランプ
206, 207, 208 ミラー
209 レンズ
210 CCD
211 信号処理部
212 レーザドライバ
213 半導体レーザ
214 ポリゴンミラー
215 f-θレンズ
216 ミラー
217 感光ドラム
218 回転現像器
219 マゼンタ現像部
220 シアン現像部
221 イエロー現像部
222 ブラック現像部
223 転写ドラム
224, 225 用紙カセット
226 定着ユニット
301~303 ラインセンサ
304~306 増幅器
307~309 サンプルホールド回路
310~312 A/D変換器
316 カウンタ
402 色信号処理部

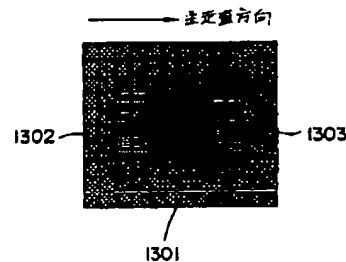
【図2】



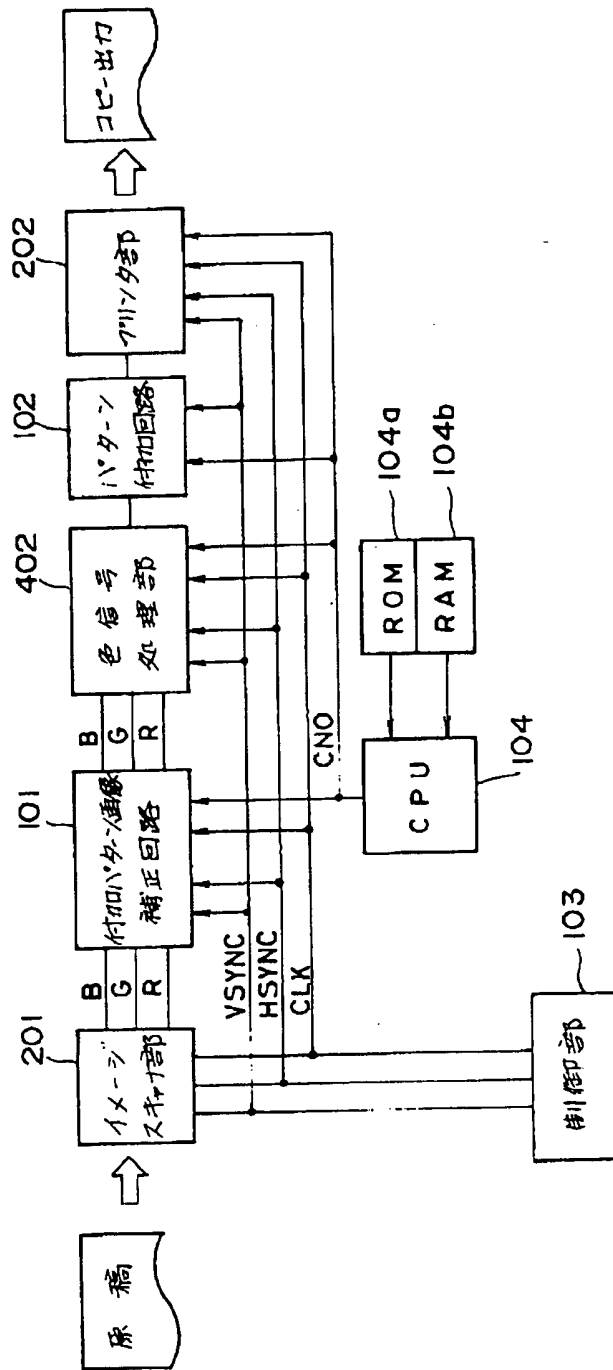
【図8】



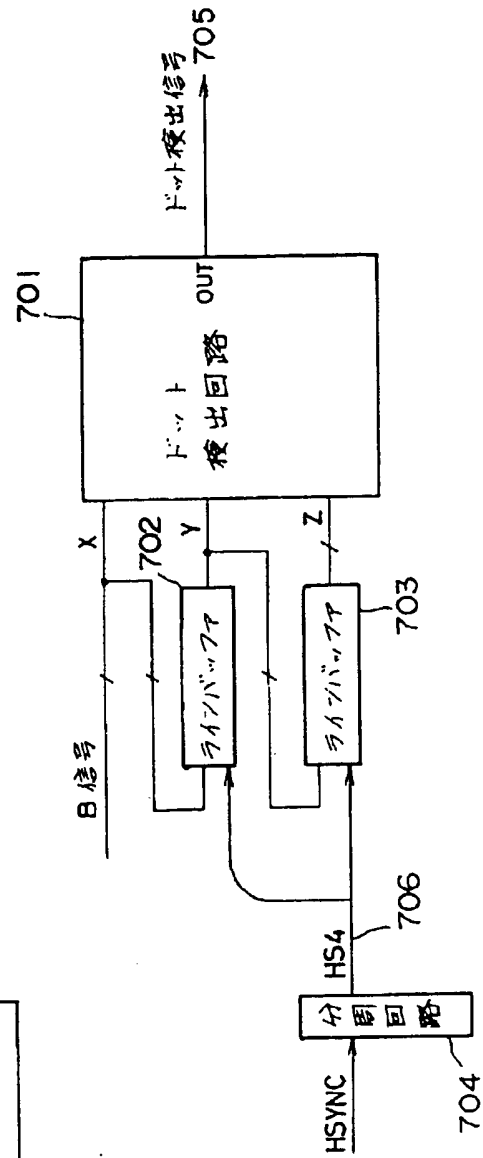
【図11】



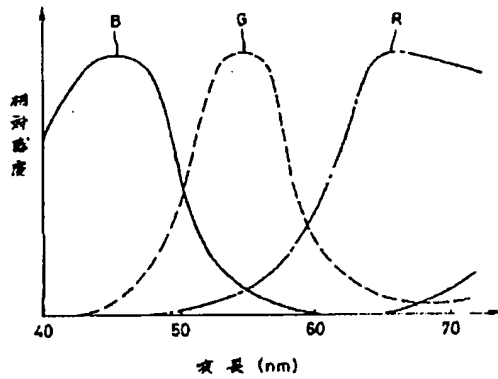
【図1】



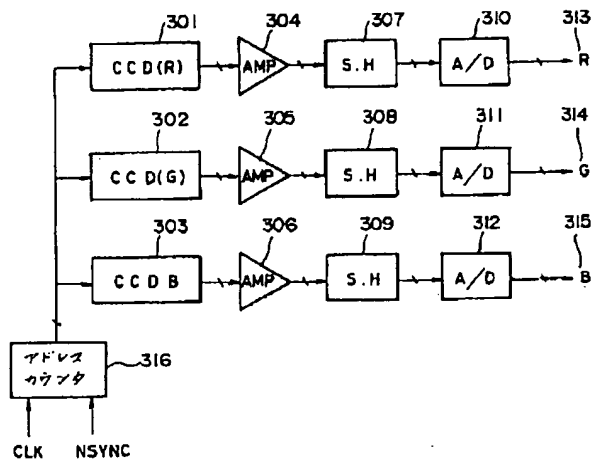
【図7】



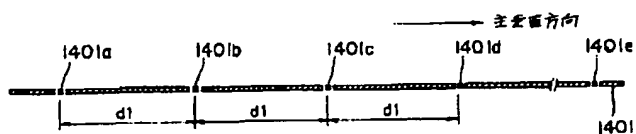
【図3】



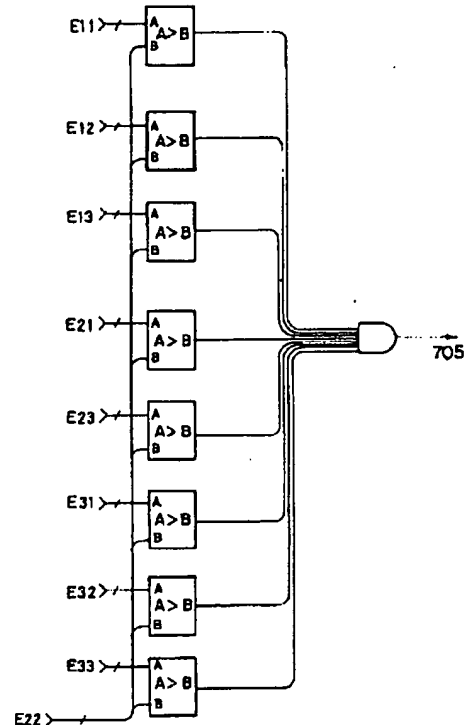
【図4】



【図12】



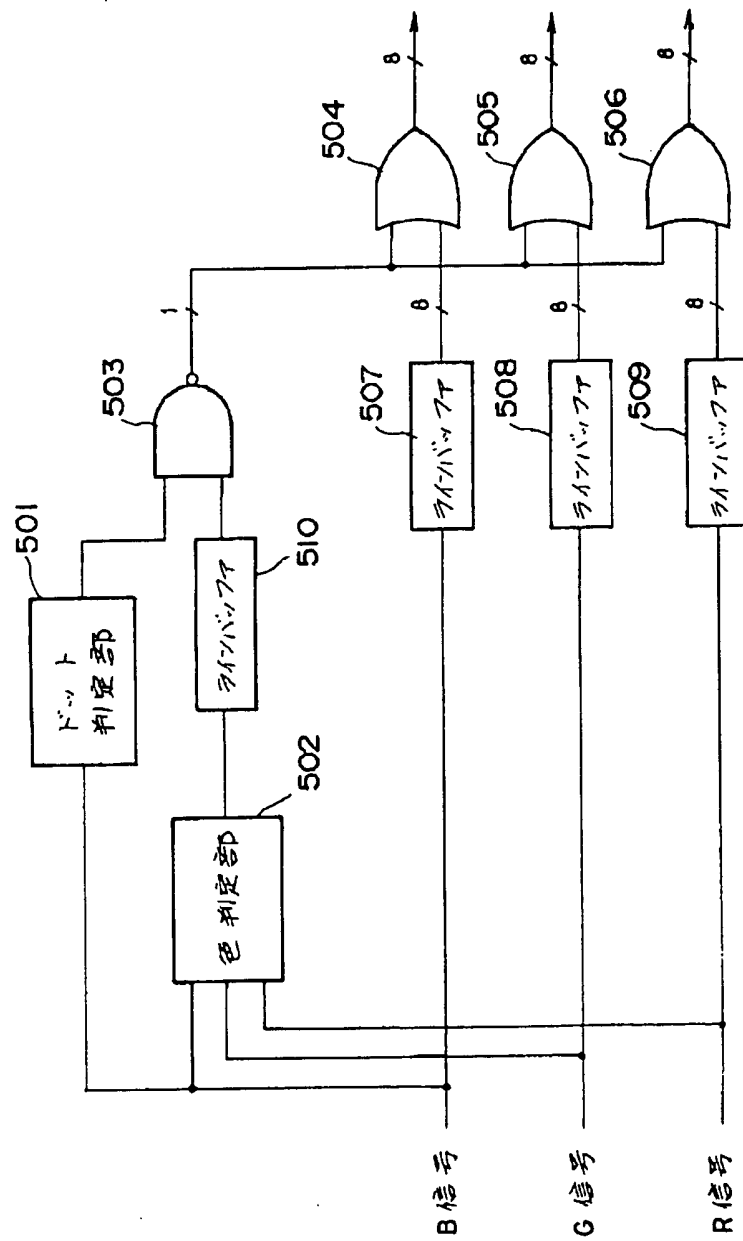
【図10】



【図20】

CNO 番号	プリント出力
0	マゼンダ (M)
1	シアノ (C)
2	イエロ (Y)
3	ブラック (Bk)

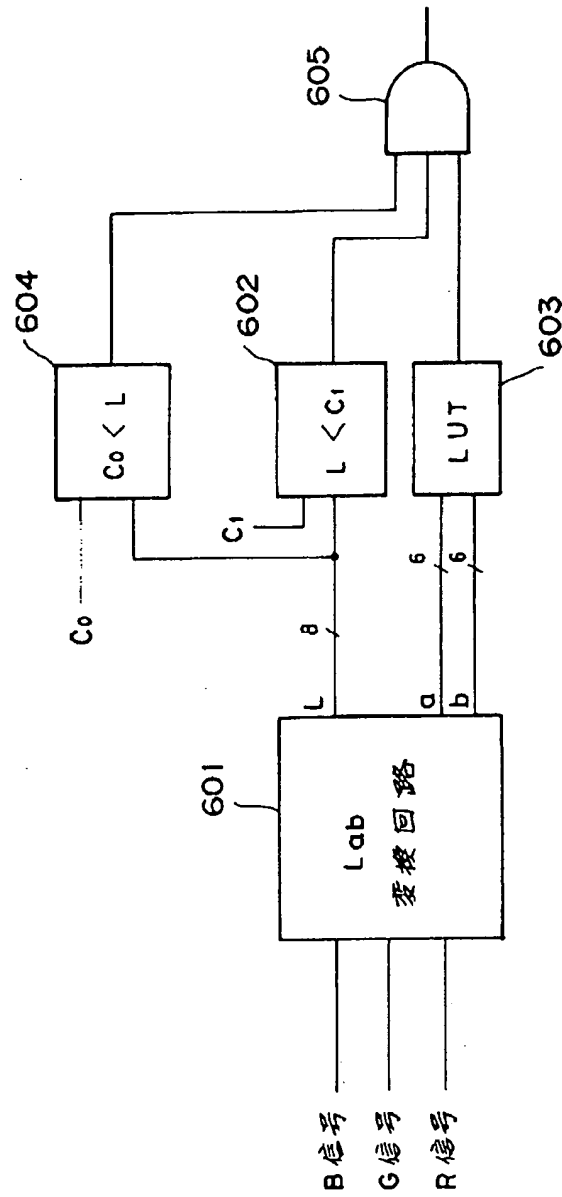
【図5】



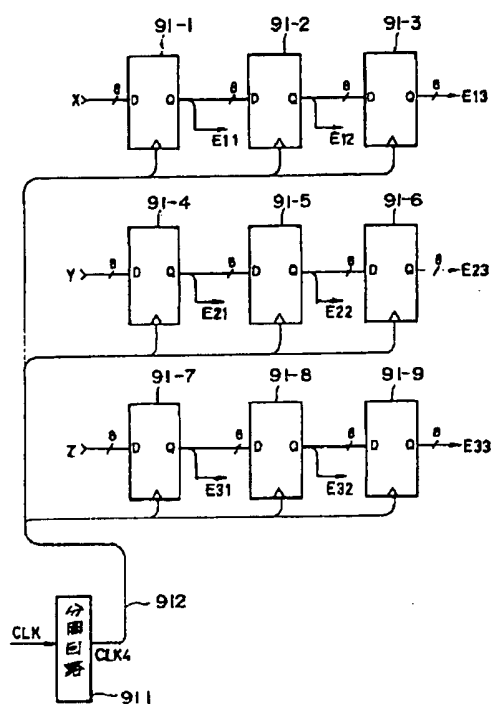
(11)

特開平6-111019

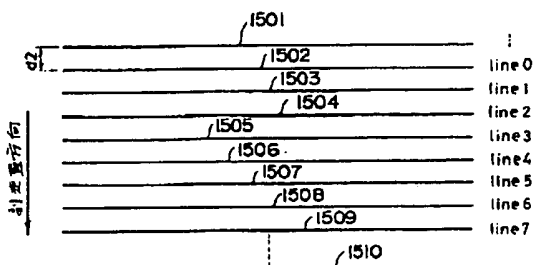
【図6】



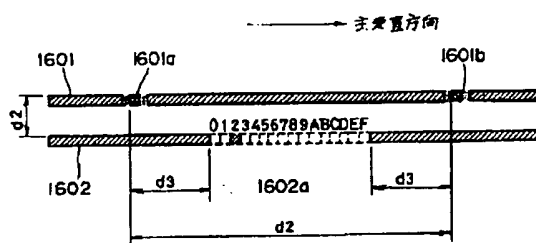
【図9】



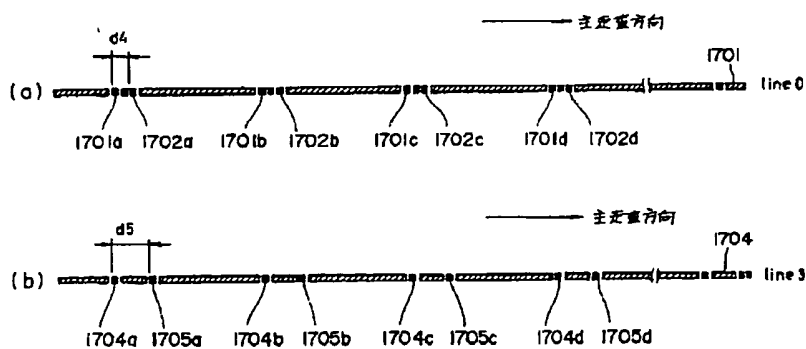
【図13】



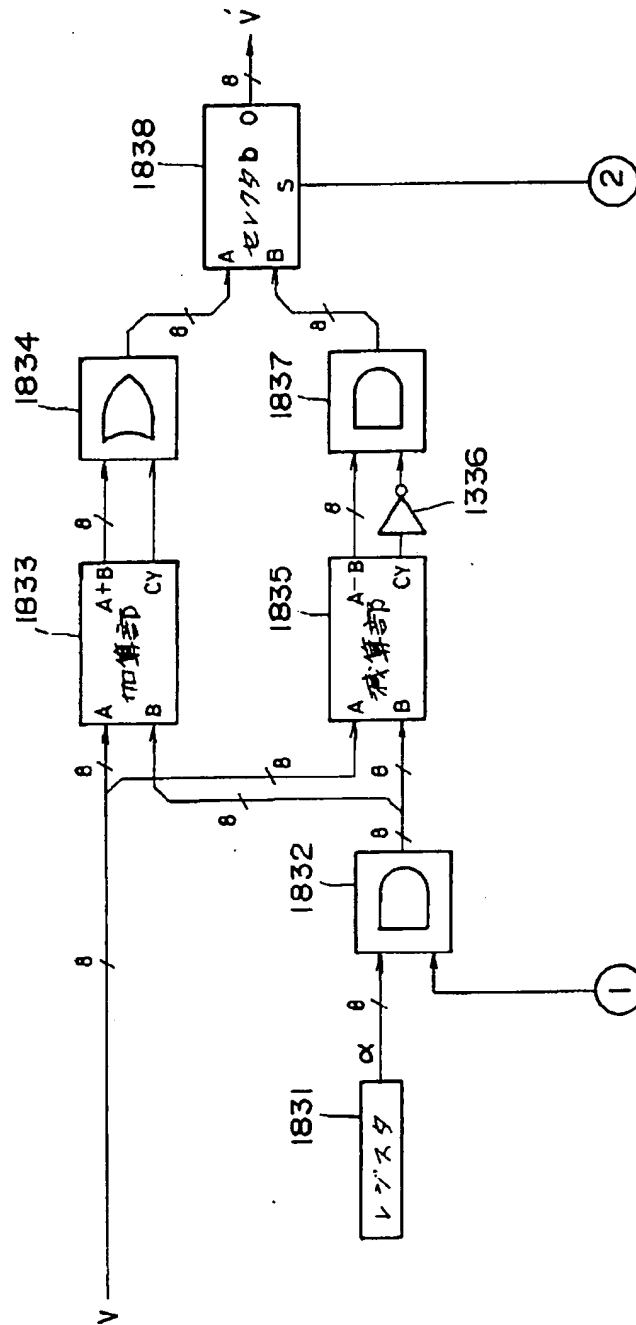
【図14】



【図15】

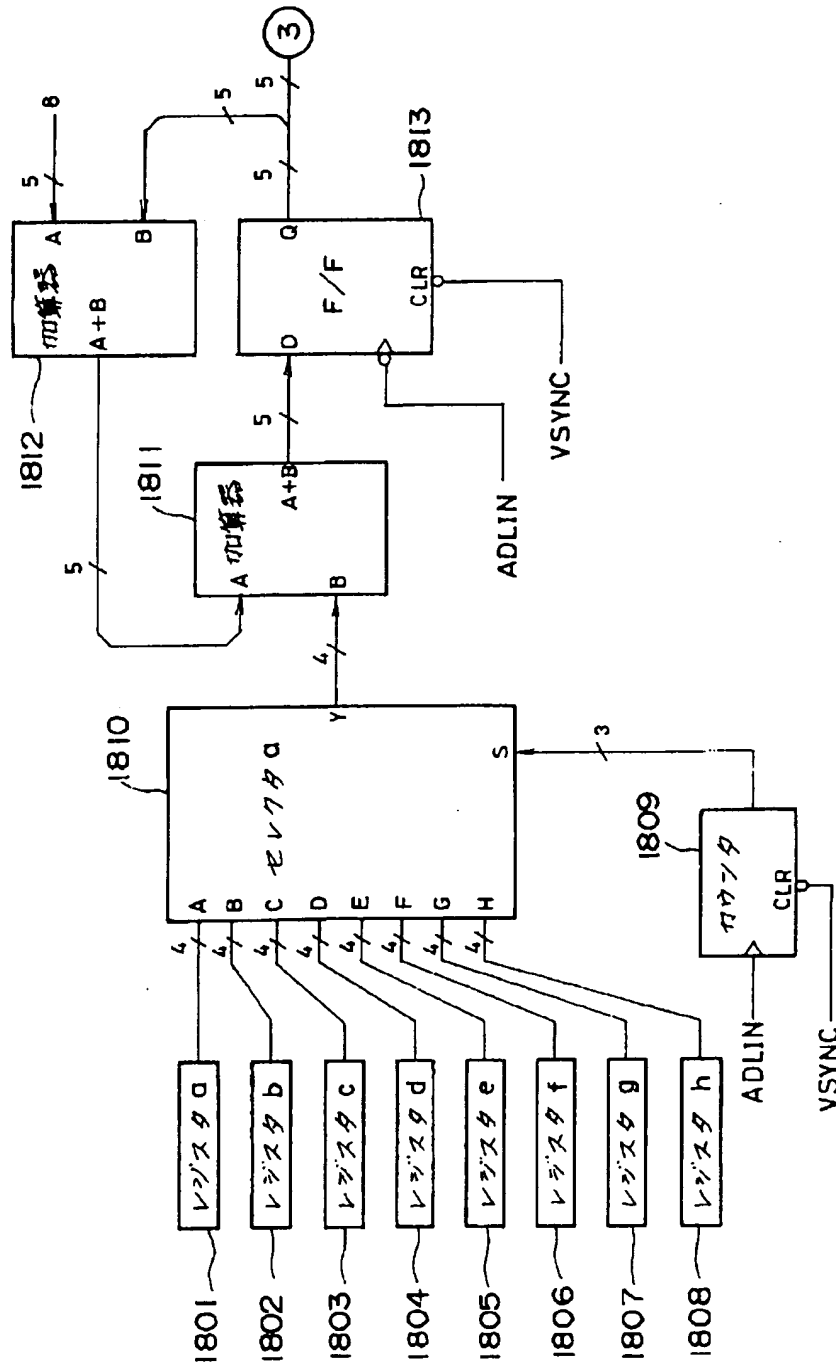


【図16】

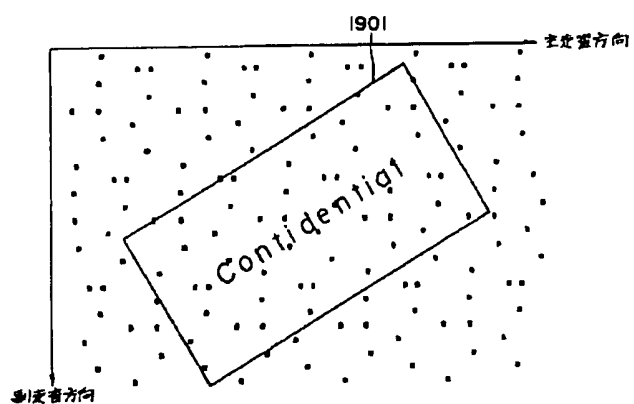


The diagram illustrates a video signal processing circuit. It features two 8-bit shift registers, 1819 and 1814, which receive VSYNC, HSYNC, and LINE signals. Register 1819 outputs Q0-Q7, and register 1814 outputs Q0-Q7. These outputs are connected to various logic gates (AND, OR, NOT) and flip-flops (F/F). The circuit generates ADLIN and MINUS signals. A clock signal (CLK) is distributed throughout the circuit. The circuit is divided into three main sections, labeled 1, 2, and 3.

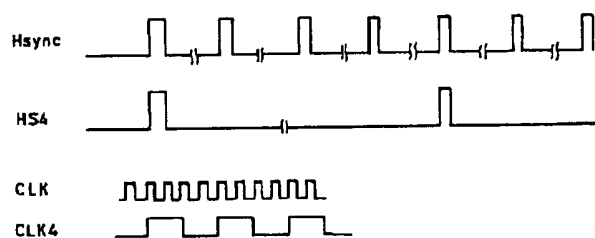
【図18】



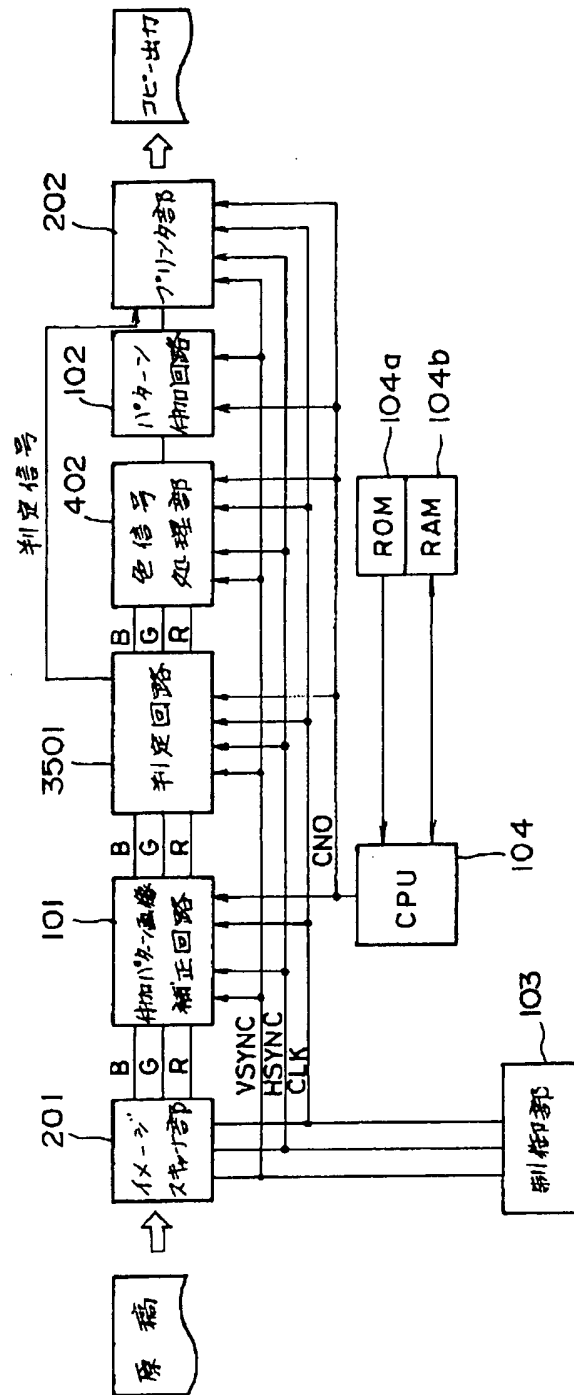
【図19】



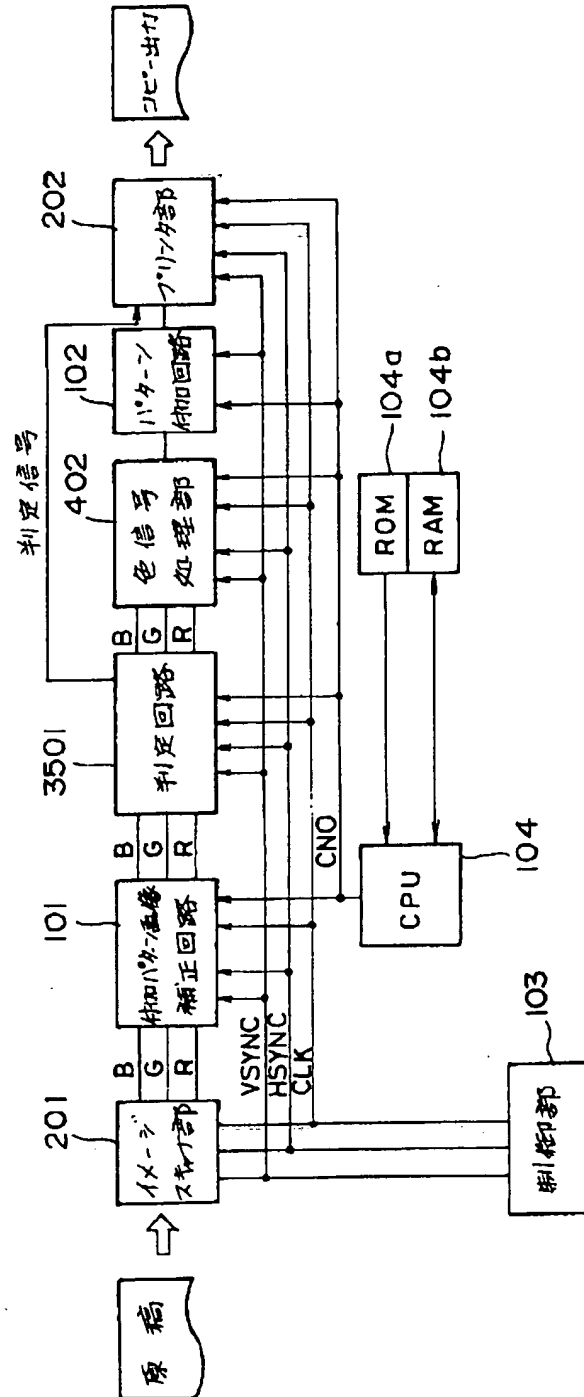
【図21】



【図23】



【図24】



【手続補正書】

【提出日】平成5年8月6日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図23

【補正方法】変更

【補正内容】

【図23】

